

# PLOT PROCESS APPARATUS

Patent number: JP11147335

Publication date: 1999-06-02

Inventor: ISHIKAWA HIROSHI; KAWADA TETSUO

Applicant: FUJI XEROX CO LTD

Classification:

- international: G06T15/00; G06T15/00; (IPC1-7): B41J5/30; B41J21/00; G06T11/00; G09G5/36

- european: G06T15/00A

Application number: JP19970317334 19971118

Priority number(s): JP19970317334 19971118

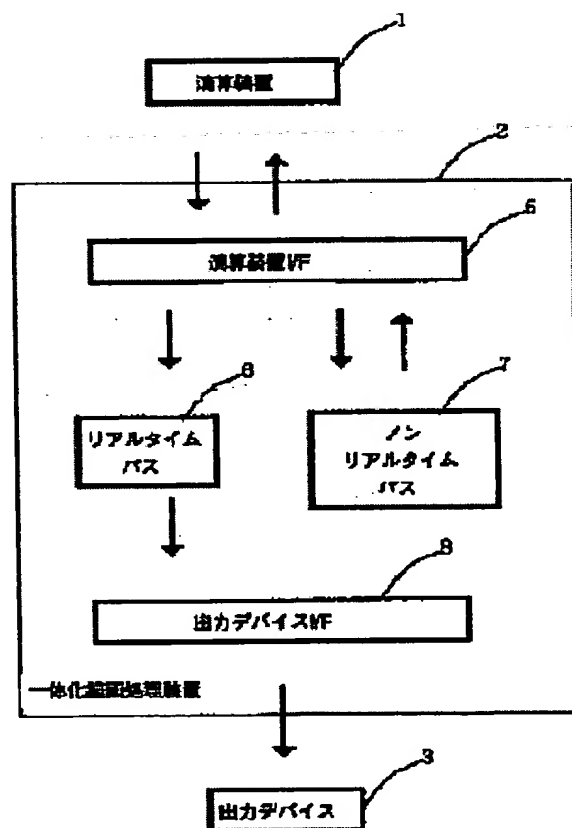
Also published as:

US6339424 (B)

Report a data error he

## Abstract of JP11147335

**PROBLEM TO BE SOLVED:** To execute both an original image-processing function and an auxiliary accelerator function by a hardware of a small circuit scale. **SOLUTION:** Image data that cannot be processed at a required speed are sent and processed at a non-real time path 7 through an operating device I/F 5 from an operating device 1. Thereafter, the data are transferred to a designated address of a memory device through the operating device I/F 5. If necessary, the transferred data are further processed at the operating device 1 or repeatedly processed at the non-real time path 7 or transferred to a real time path 6, and finally sent to an output device 3. Image data that can be processed at the required speed are directly sent to the real time path 6 through the operating device I/F 5. The image data sent to the real time path 6 are output to the output device 3 through an output device I/F 8.



Data supplied from the esp@cenet database - Worldwide

特開平11-147335

(43) 公開日 平成11年(1999) 6月2日

(51) Int. Cl. <sup>8</sup>		識別記号		F I	
B 41 J	5/30	B 41 J	5/30	Z	
	21/00		21/00	Z	
G 06 T	11/00	G 09 G	5/38	5 30 C	
G 09 G	5/38	G 06 F	15/72	A	
			5 30		
審査請求 未請求		請求項の数 11		O L (全 13 頁)	

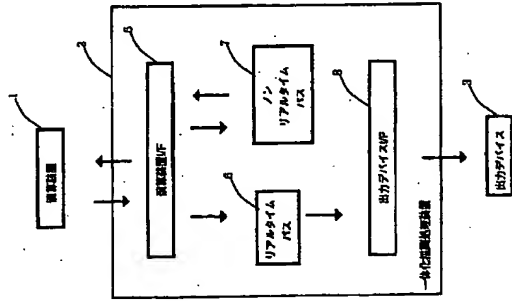
(21) 出願番号	特願平9-317334	(71) 出願人	00005498 富士ゼロックス株式会社 東京都港区赤坂二丁目17番22号
(22) 出願日	平成9年(1997)11月18日	(72) 発明者	石川 宏 神奈川県足柄上郡中井町430 グリーン テックなかい 富士ゼロックス株式会社内
		(72) 発明者	河田 智郎 神奈川県足柄上郡中井町430 グリーン テックなかい 富士ゼロックス株式会社内
		(74) 代理人	井理士 藤田 俊夫

(54) 【発明の名称】 描画処理装置

(57) 【要約】

【課題】 回路規模の小さなハードウェアで、画像処理本来の処理機能と、補助的なアクセラレーション機能とを兼行できるようにする。

【解決手段】 要求速度で処理できない画像データは演算装置1から演算装置1/F5を経由してノンリアルタイムバス7に送られて処理され、その後、演算装置1/F5を経由して、指定された記憶装置のアドレスに転送される。転送されたデータは、必要であれば、さらに演算装置1で処理され、またはノンリアルタイムバス7で繰り返し処理され、またはリアルタイムバス6へ転送され、最終的に出力デバイス3に送られる。要求速度で処理できる画像データは、演算装置1/F5を介して直接にリアルタイムバス6へ送られる。リアルタイムバス6へ送られた画像データは出力デバイス1/F8を経由して出力デバイス3に出力される。



【特許請求の範囲】

【請求項1】 内部素子の接続関係が決定されるハードウェアにより構成され、入力される画像データを処理し出力デバイスをドライバする描画処理装置において、

上記出力デバイスの画像処理速度に同期して処理するリアルタイムバス手段と、  
上記同期速度より遅い速度で処理するノンリアルタイムバス手段と、

上記入力された画像データの内容に基づいて、上記画像データを上記リアルタイムバス手段に転送するか上記ノンリアルタイムバス手段に転送するかを決定するバス決定手段とを有し、

少なくとも上記ノンリアルタイムバス手段は処理機能を再構成するための書き換え可能なハードウェアを含んでいることを特徴とする描画処理装置。

【請求項2】 上記処理機能を再構成するための書き換え可能なハードウェアは少なくともFPGA (フィールドプログラマブルゲートアレイ) とメモリとから成る請求項1記載の描画処理装置。

【請求項3】 描画処理装置本体は演算装置に接続され、上記リアルタイムバス手段の処理結果を、ノンリアルタイムバス手段に送るデータに含まれた、転送先アドレス情報に基づいて転送するようにした請求項1または2記載の描画処理装置。

【請求項4】 上記ノンリアルタイムバス手段に送るデータには、処理を遅延する情報、および、処理に必要なパラメータを添付する請求項1、2または3記載の描画処理装置。

【請求項5】 上記ノンリアルタイムバス手段の処理結果が転送される転送アドレスは、上記演算装置内の記憶装置のアドレスとする請求項3記載の描画処理装置。

【請求項6】 上記リアルタイムバス手段は再構成データ制御部を備え、上記再構成データ制御部は、指定された処理ロジックのロードと、転送されたパラメータのロードとを行う請求項1、2、3、4または5記載の描画処理装置。

【請求項7】 上記処理機能を再構成するための書き換え可能なハードウェアは、出力先をノンリアルタイムバス手段およびリアルタイムバス手段の一方に択一的に切り替えるバススイッチを有する請求項1、2、3、4、5または6記載の描画処理装置。

【請求項8】 カードサイズに構成される請求項1、2、3、4、5、6または7記載の描画処理装置。

【請求項9】 上記演算装置は、描画処理装置本体の性能を示すデータベースを具備し、上記データベースの情報に基づいて転送バスが判別される請求項1、2、3、4、5、6、7または8記載の描画処理装置。

【請求項10】 転送バスの切り替えが所定の画像データ単位で実行される請求項1、2、3、4、5、6、

7、8または9記載の描画処理装置。

【請求項11】 画像データを生成する演算装置と、内部素子の接続関係が決定されるハードウェアにより構成されて上記画像データを処理する描画処理装置であって、入力されたデータのバスを決定するバス決定手段と、必要な画像処理速度に同期して処理するリアルタイムバス手段と、同期速度より遅い速度で処理するノンリアルタイムバス手段と、入力された画像データの内容に基づいて、上記画像データを上記リアルタイムバス手段に転送するか上記ノンリアルタイムバス手段に転送するかを決定するバス決定手段とを具備するものと、上記描画処理装置の処理結果により制御される出力装置とを有することを特徴とする画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はコンピュータで生成された画像データを処理し、表示、出力する描画処理装置に関する。

【0002】

【従来の技術】 従来、コンピュータで生成された画像を処理し、画面に表示したりプリンタに出力する場合、特にカラー画像ではその処理に多くの時間がかかるため、処理を加速する装置が付け加えられる。たとえばカラー画像をコンバートするための圧縮伸張処理、編集に必要な回転や拡大処理、座標値を計算するためのベクトル演算、画質を向上させるための色補正、フィルタリングなどがある。これら付加的な装置は、一般的に、ハードウェアアクセラレータと呼ばれ、これらハードウェアアクセラレータを使うと、コンピュータの演算処理速度を上げてソフトウェアで処理するよりも処理の高速化が図れる。ハードウェアアクセラレータの欠点はアクセラレートしたい機能をすべてハードウェアで用意しておく必要があるという点である。そのためサポートしておく必要にも依存するが、基本的に回路規模が大きくなってしまふ。また本来の処理機能、たとえばプリンタではページ記述言語 (PDL) ファイルを解釈し、画像を展開し、プリンタを動作させる正常終了を監視する装置機能をハードウェアとは別に、上記のアクセラレータを持ったハードウェアが必要になる。

【0003】 それに対し、特開平06-131115号公報では、プログラマブルロジックをアドレスジェネレータブロックと演算ブロックとに使用して様々な画像処理の変更データをファイルとして記憶することで共通のプログラマブルロジックを変更して様々な画像処理に対応する装置が提案されている。

【0004】 また特開平06-282432公報では、各種処理に応じたそれらの演算回路の組み合わせに対するデータの流を制御することで各種の処理をより少ない演算の組み合わせで行い、もって演算回路を小さくする装置が提案されている。

【0005】しかしながら、これら従来の方式では画像処理を行うときの遅延が大きくなり、回路規模を十分小さくできない。演算装置に所定の画像処理に必要なマクロ処理群が登録され、外部から入力される命令コードを一旦デコードしてアドレスを生成し演算を選択して処理する方法である。しかし、複雑でかつ遅延が多い処理を実現するにはは、処理が単純な処理の塊であり、あるいは有効である。効率が悪い方法である。また算術論理ユニット (ALU) を複数設置して並列処理することは一つの改善であり、画像処理の場合逐次処理して行くパイプライン化に向いており、並列化では採用プログラム処理よりもは高速化できるとも、ハードウェアアクセラレータとして、は規模の割に効率が小さい。

【0006】そしてこれらの技術は本来の処理とは別の画像処理の一部を担うものであり、装置全体としてはコンパクトには成らない。

【0007】  
【発明が解決しようとする課題】本発明の目的は、上記のような従来技術の問題を解決し、画像処理本来の処理機能と、所外的に重い処理を回避させるアクセラレータ機能とを、ともにハードウェアとして実現することも、上記ハードウェアは小さな回路規模で構成できるようにすることにある。

**【0008】**

〔課題を解決するための手段〕本発明によれば、上述の目的を達成するために、描画処理装置をハードウェアで構成し、この描画処理装置に、上記出力バスの画像データを送信するリアルタイムバス手段と、上記リアルタイムバス手段と、上記リアルタイムバス手段との同期して処理するリアルタイムバス手段と、上記リアルタイムバス手段と、上記リアルタイムバス手段に転送されるリアルタイムバス手段の内容に基づいて、上記リアルタイムバス手段に転送するかを決定するリアルタイムバス手段に転送するかを決定するバス決定手段と、少なくとも上記リアルタイムバス手段とを設け、少なくとも上記リアルタイムバス手段を、処理機能を再構成するための書き換え可能なハードウェアを含ませて構成するようにして、換えて可能。

【0009】この構成においては、ノンリアルタイムの処理を生成可能なハードウェアで実現しているので様々な種類のノンリアルタイムの処理を同一のハードウェアで実行することができ、回路規模を小さなものに抑えることができる。また、ソフトウェアで実行する場合に比べ、高速の処理が可能となる。

【0010】本発明をさらに詳細に説明する。本発明により実現されるシステムの一例は、全体として、演算装置と一体化描画処理装置と出力デバイスとからなり、一体化描画処理装置は、演算装置インターフェース（I/F）と、リアルタイムI/Fと、ノンリアルタイムI/Fと、出力デバイスI/Fとを含んで構成されている。演算装置I/Fは入力バッファとバス決定部からできている。ノンリアルタイムバスは再抽換データ制御部、再抽換

ス6へ転送され、最終的に出力デバイス3に送られる。演算装置1から演算装置1/F5を經由してリアルタイムバス6へ送られた画像データは出力デバイス1/F8を經由して出力される。要求速度で処理できることがあるから、はじめに明している画像データは、リアルタイムバス6へ送られる。リアルタイムバス6で処理された結果は出力デバイス1/F8を經由して出力デバイス3へ送られる。ここで出力デバイス3は、プリンタや表示デバイスを言う。プリンタは白黒プリンタ、カラープリンタを含み、カラープリンタは例えばカスケード式、タンデム式である。表示デバイスは例えばCRT、液晶表示装置である。

【0014】演算装置1から送られてくる画像データは、以下の実施例の説明では2次元静止画にするけれども、それにとどまらず、3次元静止画や動画なども基本的に同じフローとなり、同様に処理対象として扱うことができる。

【0015】図3は、図1のシステムにおける各機能ユニットおよび画像データの処理フローを示す。図3の処理フローの処理としてアプリケーションソフトウェアでプリントや表示したいデータを生成する。それらはPDF（Portable Document Format）であったりGD1タイプであったりtable document format であり、処理したデータが直接、またはネットワークを経由して演算装置1に入力される。

【0016】図3において、まず、処理データ入力部101ではデータファイルを固まりとして一旦記憶装置で記憶し、順次単語解析部102でファイルに書かれた内容を記述のシンタックスに従って解析し、トークンとして切り出し、オブジェクトに分けて必要な処理を施す。

**【0017】**字句解析結果が描画命令であれば文字図形情報部103が処理する。描画命令は、文字であれば、文字コード、フォントID、座標マトリクス描画色などであり、図形であれば、ベクター、座標変換マトリクス、線属性、描画色などであり、それらの処理を文字図形処理部103で行う。描画命令都とそれに付加されたタテ情報、フォントデータ情報を使用してまずベクターデータ生成を行い、ベクターデータは変換マトリクスによって変換される。変換されたベクトルはベジェなどの曲線で表されたのでこれを複数の直線ベクターで近似する。直接近似したベクトルを台形ベクターなどで近似的に表現する。

【0018】字句解析結果が画像描画命令であれば、ソーススタ処理部104が処理する。画像については、ソース画像データ、ソース画像ヘッダ情報（サイズ、深さ、色、圧縮など）、画像マトリクスなどがあり、それらの付いたソース画像部104で行う。ソース画像データに付いたソースヘッダ情報にもとづき演算処理が行われる。演算内容は伸張であったり、拡大処理、回転処理、色補正処理などである。結果は同様に矩形で生成される。

か  
が  
は  
は  
基  
に  
バ  
構  
と  
施

【0014】演算装置12は、以下の実施例の説明でも、それにとどまらず、目的には同じフロートとなり、とができる。

【0015】図3は、図2に示すデータ処理装置のハードウェア構成を示すブロック図である。図3に示すデータ処理装置は、中央処理装置(CPU)10、記憶装置20、入力装置30、出力装置40、通信装置50、および電源装置60を備える。

【0016】図3において、図2と同様に、変換部101ではデータファイル102に記憶した順次句解析部103の解析結果を、シンタックス記述部104に記憶し、オブジェクト生成部105でオブジェクト生成を行う。

【0017】字句解析部103が処理する。文字コード、フォントIDであり、図形であれば、ス、親属性、描画色など、形状処理部103で行う。情報、フォントデータ情報生成を行い、ベクターに変換される。変換されて表されるのでこれを縦直線近似したベクトルを表現する。

【0018】字句解析結果を出力する。また、出力結果は、演算結果と一致するかどうかを判定する。判定結果が一致しない場合は、再処理を行う。

可能ハードウェア、リアルタイムデータ制御部  
演算装置から送ら  
付加されていて、リアルタイムデータの指定、パラメータが付与されて、IDナンバーが  
二構成データをロードし、処理ロジックをローディングスの切り替えを行い、ノン可能ハードウェアをリアルタイムでできる。

【0011】  
【発明の実施の形態】以下  
例について説明する。

【0012】【実施例】図1は、描画処理装置を使ったシステム構成の一例を示す。このシステムにおいて、コンピュータ100は、CPU101、メモリ102、描画処理装置103、入力装置104、出力装置105、通信装置106、および電源装置107を備える。描画処理装置103は、CPU101、メモリ102、および通信装置106と接続されている。描画処理装置103は、CPU101、メモリ102、および通信装置106からデータを受け取り、出力装置105に出力する。出力装置105は、描画処理装置103からデータを受け取り、出力する。通信装置106は、描画処理装置103と外部のネットワークとを接続する。電源装置107は、描画処理装置103に電力を供給する。

【0013】図2は一体化型インターフェース11の構成を示す。図2に示すように一体化型インターフェース11は、インターフェース11/F、ノンリアルタイムバス71、リアルタイムバス72、および制御部11/Fを含む。制御部11/Fは一体化描画処理部11/F1、出力制御部11/F2、およびデバイス3との間の接続部11/F3を含む。制御部11/Fは、デバイス3の要求速度、またデバイス3の要求速度に必要となる処理速度を決定する。

ルタイムバス7は要求通  
るものである。演算装置  
してノンリアルタイムバ  
ノンリアルタイムバス7  
算装置1/F5を経由し  
レスに転送される。転送  
ば、さらに演算装置1で  
タイムバス7で繰り返し処

[illegible]

【0020】中間データの入力部107は、図7および図8は文字列として入力されたデータが、図9に示す図形データを波線70で示すように変換する。さらにバンド境界71で区切られオブジェクト108に処理などが付加された情報として出力される。

[illegible]

【0022】生成された106で記憶され、中間する、文字図形データの描画である。矩形のエッジ処理から出された矩形のx軸に平行により矩形のx軸に平行き矩形内を塗りつぶす。情報から色変換、解像度色空間がRGBで入力されてそれぞれの値に対応し、色が大きくなる場合には

値を算出する補間計算にもより小さなデータでもYMCCKが出力される。出力デバイス3がディスプレイの場合はRGB（標準）からデバイス特性にあったRGB（固有）を出力する計算となり、YMCCK出力より単純計算で、ソース画像が小さなサイズの場合は、解像度変換デバイスにあわせて大きくする場合には、解像度変換をする。すなわち、ラスターデータを読み込み、補間処理により出力デバイスの画素にあわせてアドレスを計算する。これらを分割した領域ごとに処理し、出力デバイス3へ出力する。

【0023】中間データ展開部107はソフトウェアによる展開処理方法も採用できるけれども、DDA (Digital Differential Analyzer) を使った座標計算や、文字図形とラスターを含んだ中間フォーマットを直接にバイプライン処理ハードウェアにより展開処理する方法がすでに知られている。

【0024】図3で示した処理フローはリアルタイムバス6とノンリアルタイムバス7を含めた総合的なフローである。中間データを生成するまでは演算装置1で処理を行うが、ラスターを中心とした処理は負荷が重く単純に演算装置1のソフトウェア処理では時間がかかる。

【0025】図4にノンリアルタイムバス7の処理ブロックを示す。なお、演算装置1（図1、図2）にはメモリおよびCPUの性能、出力するデバイス3の要求速度、一体化描画処理装置2に関するデータベースがあらかじめ登録されている。データベースを用いて、例えば画像処理であれば、その処理内容、さらに、対象画像サイズからリアルタイムバス6へ送るかノンリアルタイムバス7へ送るかを、大まかに決定する。リアルタイムバスで処理可能かどうか判断が困難な場合には自動的にノンリアルタイムバス7になる。

【0026】図4において、演算装置1/Fは入力バッファ51およびバス決定部52を含む、ノンリアルタイムバス7は、再構成データ制御部71、再構成可能ハードウェア72、ワークメモリ73、出力バッファ74を含んで構成されている。演算装置1でバスが決定された必要なヘッダ情報を付加した画像データは演算装置1/F5に送られる。演算装置1/F5は画像データを入力バッファ51へ書き、ヘッダ情報に書かれたリアルタイム、またはノンリアルタイムの識別に基づいてバス決定部52がデータの送る方向を決める。ノンリアルタイムのデータの場合、データのヘッダには画像処理内容を示すID、画像データサイズ、転送速度、演算装置1内のメモリアドレスなどが含まれる。ヘッダ情報は再構成データ制御部71に送られ、この再構成データ制御部71はヘッダ情報に書かれた次に動作させる処理内容を、再構成可能ハードウェア72にロードする。再構成ハードウェア72は動的に書き換え可能なFPGA（フィールドプログラマブルゲートアレイ）素子でできていて、一部、または全部のロジック部を書き換えることができる

る。演算装置1/F5は受け取ったデータを一旦入力バッファ51へ蓄積する。ヘッダ1の内容がノンリアルタイムになっているので、バス決定部52はデータをノンリアルタイムバス7へ送る。ヘッダ情報は再構成データ制御部71へ送られ、この制御部71は次々に送られてくるデータに対応して処理ロジックを動的にロードする。ロードされた再構成可能ハードウェア72は処理するデータをバス決定部52経由で受け取り、ワークメモリ73を使用して順次処理し出力バッファ74へ送る。再構成データ制御部71は処理内容によりワークメモリ73の使用可能領域を決定する。また送られたヘッダ情報に出力バッファ74が送るべき先のアドレスが設定されているので、出力バッファ74へヘッダ情報を送る。出力バッファ74は送り先アドレス情報に基づいて出力データを転送する。

【0031】色補正処理を例にして一連の流れを説明する。色処理の内容は出力デバイス3や記述方法、処理したい品質などで10種類以上の組み合わせがある。記述は入力RGB系、Lab系、YMCCK系があり、出力がRGB系、YMCCK系がある。変換精度によりデータ方式、マトリクス方式、テーブル及び補正方式がある。出力デバイス3への適合処理では出力デバイス3の色空間範囲マッピング処理がある。組み合わせた処理モード1に書かれている。書かれている場合は演算装置1から演算装置1/F5を抽出してダウンロードできる。処理ロジックにはすべてIDナンバーが付与されていて、入力されるヘッダのIDナンバーと一対一で対応がつく。たとえばIDナンバーがテーブル及び補正方式を示すテーブル及び補正方式の処理ロジックがロードされる。再構成可能ハードウェア72は100kゲート書き込めるものとする。より大きなサイズも実装可能である。演算に必要なパラメータはヘッダ情報から入手し、再構成可能ハードウェア72に設定される。再構成可能ハードウェア72は高速メモリ素子SRAMが内蔵され、演算に必要な精度や参照テーブルなどを構成できる。処理データはインターネット上のファイルで使われている標準的な表現の一つであるRGB（標準）で入力され、数画素単位以上でワークメモリ73へ一旦蓄積し、演算のために読み出され、再構成ハードウェア72で処理されたYMCCKデータで生成される。1画素は24ビット入力、32ビット出力であるが、この値は出力デバイス3の表現できる範囲で、YMCCKは32ビット単位で出力バッファ74に送られ、出力バッファ74は指定されたアドレスへ転送する。再構成ハードウェアとワークメモリ73は所定の一定速度のクロックに同期して動作するため、高速処理が可能になる。ワークメモリ73はダイナミックRAMを用いることができ、高速ア

クセスできるもの、またはバス幅を広げて接続されるものが採用される。転送のために指定されるアドレスは演算装置1内のメモリ装置となる。

【0032】再構成ハードウェア72の動作クロックは素子の特性にもよるが100MHzクロックで動作し、テーブル及び補正処理では1画素5クロックで終了する。たとえば再構成可能ハードウェア72の動作クロックは3ヘルツアルタイムで送る場合は50画素/秒必要となるためリアルタイムバス6へ送ることはできないが、演算装置1でソフトウェアによる処理では4画素/秒程度であるため、ノンリアルタイムバス7を使用すると数倍高速化できるようになる。

【0033】色補正に関する必要な処理ロジックを合計すると400kから500kゲートになるがノンリアルタイムバス7を使うことで十分小さな再構成可能ハードウェア72ですべての機能をサポートすることができるようになる。

【0034】【変形例】今までは再構成可能ハードウェア72の利用方法をノンリアルタイムバス7のみで説明してきたけれども、処理内容と動作速度によって出力デバイス3の要求速度に間に合うケースもでてくる。そのときは再構成可能ハードウェア72はリアルタイムバス6のリソースとして使用できる。

【0035】図6は再構成可能ハードウェア72をリアルタイムバス6としても使用する構成を示す。図6において、全体の構成は図2と同じである。一体化描画処理装置2内にバススイッチ9が加わる。図4に示す演算装置1/F5内のバス決定部52からリアルタイムバス6へゆきビデオの流れは印字はバススイッチ9へ入力される。そのほかの再構成データ制御部71やノンリアルタイムバス73などに変更はない。バススイッチ9とノンリアルタイムバス7の間は双方方向のバスが具備される。再構成可能ハードウェア72で動作する処理は、例えば色補正処理であり、テーブル及び補正方式より処理が単純なマトリクス方式を使用するものとする。変換精度の要求があまり高くないケース、または同じ色の系（RGB（標準）からLabへの変換など）の中での変換などにはマトリクス方式が使われる。マトリクス方式を用いると、処理ロジックのゲート数が5Kの処理ロジックにより1画素1クロックで処理できるため、再構成可能ハードウェア72の動作速度は100画素/秒となることを、演算装置1はデータベースにリアルタイムバス6の結果、演算装置1はまずヘッダにリアルタイムバス6を指定し、通常のリアルタイムバス7のヘッダにはないID情報を付与する（図5に示すように）。IDから処理ロジックを決まり再構成データ制御部71は指定のモジュールをロードする。演算装置1/F5のバス決定部52はこれらの条件からノンリアルタイムバス7にある再構成可能ハードウェア72を、バススイッチ9を駆ってリアルタイムバスでも使用できるように切り替える。データライン

11  
の16本ないし32本とタイミッド制御、通称制御ライ  
ンを切り替える。演算装置1/F5からでたラインはパ  
ススイッチ9へ入りバススイッチ9からノンリアルタイ  
ム7の再構成可能ハードウェア7.2に入り出力バッファ  
7.4の出力はバススイッチ9へつながらりリアルタイムバ  
ス6へ入力され処理される。1Dナンバから再構成デ  
ータ制御部7.1はマトリクス方式の処理ロジックをロー  
ードする。その後にはバッファ7.2の動作が可能にな  
る。再構成可能ハードウェア7.2が可能になると入力バ  
ス7.5より画像データが転送開始される。再構成可  
能ハードウェア7.2は出力デバイス3の要求速度である  
50M画像/秒で処理し、その結果は出力バッファ3か  
らリアルタイムバス6へつながらり、リアルタイムバス6  
で別の処理が行われ出力デバイス1/F8へ転送され  
る。その結果は出力デバイス3へ表示、プリントされ  
る。

12  
【0036】今までの説明では、ノンリアルタイムバス  
7とリアルタイムバス6の動作をシリーズに行っている  
けれども、演算装置1と一体化描画処理装置2との接続  
がIEEE1355のように、同時双方向で高速データ  
転送が可能であれば、ノンリアルタイムとリアルタイム  
の処理を同時に平行して動作させることができ、演  
算装置1/F5を2系統にした入力バッファ5.1の容  
量を拡張することで平行動作時の性能を向上させること  
ができる。以上で一体化描画処理装置2を使った動作を  
説明する。

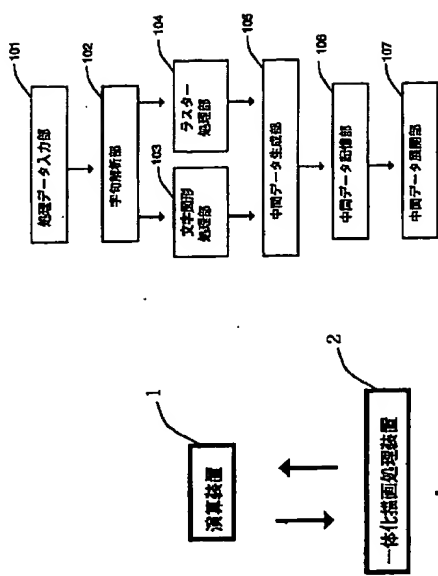
13  
【0037】演算装置1は処理するデータの固まり、通  
常は、プリントしたり表示したりするドキュメント一  
面である。最小単位でバンド処理を開始する。  
【0038】バンド処理を行う各機能部および相互の動  
作フローを図12に示す。図12において、処理結果並  
べ替え部2.01、バンド単位分割部2.02、文字図形ラ  
スタ合成部2.04、パス判断部2.04が、バンド処理を  
行なう。パス判断部2.04は、生成されたバンドがリア  
ルタイムバス6に送れるかどうかを、データベース2.0  
5を使ってチェックし、処理負荷が低い処理はノンリア  
ルタイムバス7を使って処理する。リアルタイムバスと  
判断された場合は次のバンド処理を行う。最小単位を終  
了して出力するケースのほかに、ドキュメント一式をす  
べて処理してから出力デバイスへ出力するケースとがあ  
る。ドキュメント一式をすべて処理する方法では上記の  
平行動作が特に有用になる。

14  
【0039】以上説明したように、本実施例では演算装  
置に接続された一体化描画処理装置は処理した結果を直  
接出力デバイスへ接続されている。一体化描画処理装置  
は画像データの処理を行い出力デバイスを直接ドライバ  
するリアルタイムバスと、出力デバイスを直接ドライバ  
する処理速度よりも遅い処理を行うノンリアルタイムバ  
スとを具備する。演算装置は画像データにリアルタイム  
またはノンリアルタイムバスかの判断をして、処理1D  
などの必要なヘッダ情報を添付し、一体化描画処理装  
置はノンリアルタイム処理であれば処理1Dに従って処  
理ロジックを再構成可能ハードウェアにロードし出力バ  
ッファ経由で演算装置へ送り返すことで演算装置のコン  
ピュータを使ってソフトウェア処理するより高速に処理  
が可能となる。ノンリアルタイムバスにある再構成可能  
ハードウェアで動作する処理ロジックを数多く用意して  
おくことで、小さいハードウェア規模で多くの画像処理  
をソフトウェアより高速に行うことができる。  
【0040】ノンリアルタイムバスにある再構成可能ハ  
ードウェアの性能が高い場合または処理する内容が比較  
的単純で十分リアルタイム処理が可能の場合はバススイ  
ッチを使ってリアルタイムバスとつなげて処理できるた  
め、ノンリアルタイムバスを過ぎず、さらに高速な処理  
が可能となり、小さなハードウェア規模で動作可能であ  
ることは変わらない。  
【0041】またノンリアルタイムバスの処理結果は転  
送先アドレスを指定すればよく、指定を演算装置にすれ  
ば一体化描画処理装置は大きなメモリがいらずカードサ  
イズでハードウェア実装が可能になる。  
【0042】接続する出力デバイス特性が変わったとき  
でも処理ロジックを新たにダウンロードしたり、処理パ  
ラメータを変更すればよく、性能が変更したときはデー  
タベースを変更してリアルタイムバスを活用することで  
広い範囲に対処可能である。また一体化したハードウェ  
アであり複数のボードは不要であるため安価に構成でき  
る。

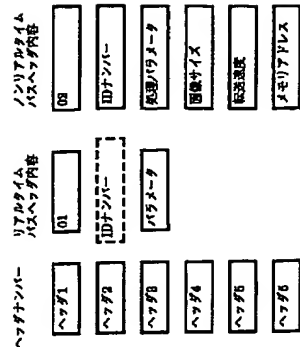
15  
【図10】 ラスタのバンドおよび添付情報を説明する  
図である。  
【図11】 処理ロジックを決定するフローを説明する  
図である。  
【図12】 バスを決定するフローを説明する図であ  
る。  
【符号の説明】  
1 演算装置  
2 一体化描画処理装置  
3 出力デバイス  
5 演算装置1/F  
13  
14  
51 入力バッファ  
52 バス決定部  
6 リアルタイムバス  
7 ノンリアルタイムバス  
7.1 再構成データ制御部  
7.2 再構成可能ハードウェア  
7.3 ワークメモリ  
7.4 出力バッファ  
8 出力デバイス1/F  
9 バススイッチ

【図1】

【図3】



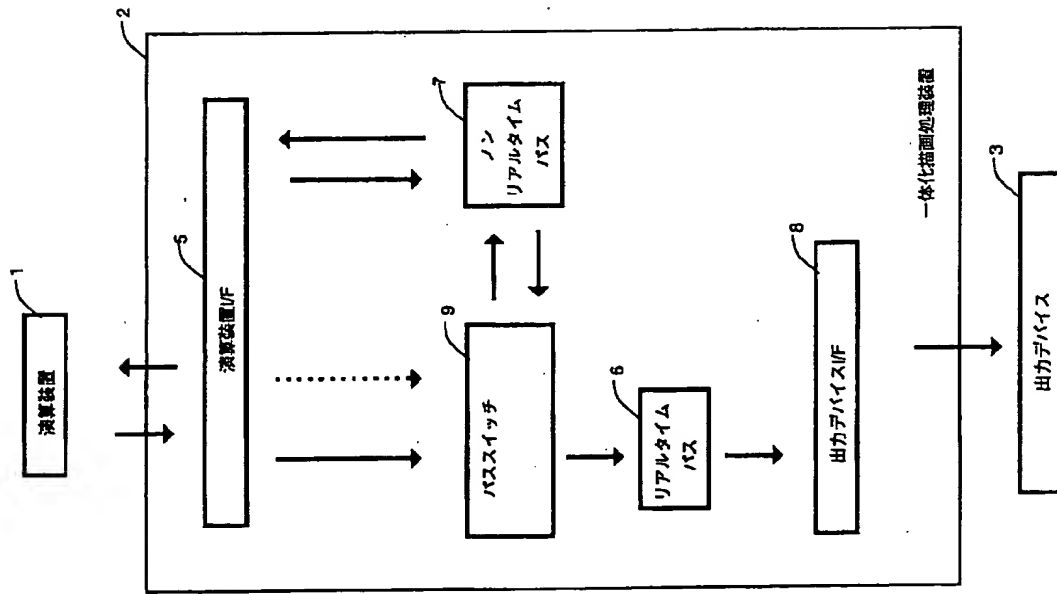
【図5】





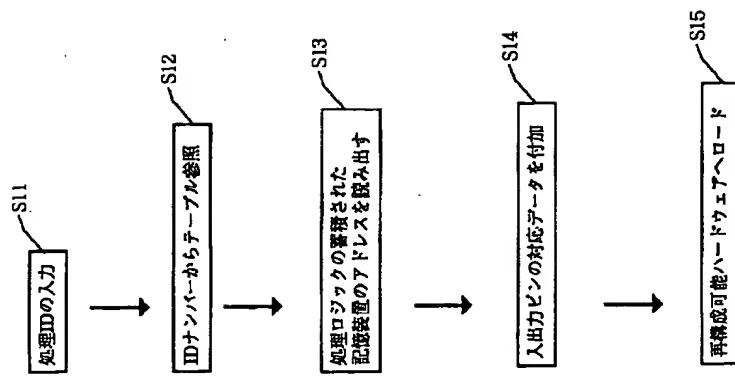
(11)

【図6】



(12)

【図11】



【図12】

